

Etude et modélisation compacte du transistor FinFET

Par Nicolas CHEVILLON

Directeur de thèse : Pr. Christophe LALLEMENT

Encadrants : Dr. Fabien PREGALDINY, Dr. Morgan MADEC

Le transistor FinFET est considéré comme le probable successeur du transistor MOSFET dans la course mondiale à la miniaturisation dans le domaine de la micro- et nano-électronique (cf. International Technology Roadmap for Semiconductors 2007). Il existe une réelle attente de la part des concepteurs et des fonderies à disposer de modèles compacts efficaces numériquement, précis et proches de la physique, insérés dans les « design tools » permettant alors d'étudier et d'élaborer des circuits ambitieux en technologie FinFET.

Nous présentons un modèle compact de FinFETs s'inspirant du modèle de MOSFET Double-Grille développé précédemment par notre équipe en collaboration avec une équipe de l'EPFL. Ce modèle fait suite aux travaux du précédent doctorant de l'équipe (thèse de Mingchun Tang soutenue en décembre 2009). Il inclut de nombreux effets physiques tels que le SCE (partage de charges), le DIBL (Drain Induced Barrier Lowering), la mobilité et la modulation de longueur de canal. Le nouveau modèle est bâti sur des équations basées sur la physique, et nécessite désormais moins de paramètres que dans le modèle précédent développé par M. Tang.

Afin de valider notre modèle, nous nous appuyons sur des simulations de structures 3D pour différentes dimensions sous l'environnement de simulation Silvaco. Nous simulons des dispositifs de longueurs comprises entre 1 μm et 25 nm, de hauteurs de 1 μm à 20 nm, de largeurs de 20 nm à 3 nm et les différents cas classiques et quantiques, etc. Le développement d'un ensemble de scripts en langage Python permet de gérer et traiter efficacement les différents résultats de simulations.

Actuellement, nous avons validé notre modèle statique (I-V) jusqu'à une longueur de 25 nm, une largeur de 3 nm, pour les cas classique et quantique.